

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-152102

(P2003-152102A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl.⁷
H 0 1 L 21/8238
21/8234
27/088
27/092

識別記号

F I
H 0 1 L 27/08

テマコード(参考)
3 2 1 D 5 F 0 4 8
1 0 2 C

審査請求 未請求 請求項の数20 O L (全 16 頁)

(21)出願番号 特願2001-350636(P2001-350636)

(22)出願日 平成13年11月15日(2001.11.15)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 古川 亮一

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 酒井 哲

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

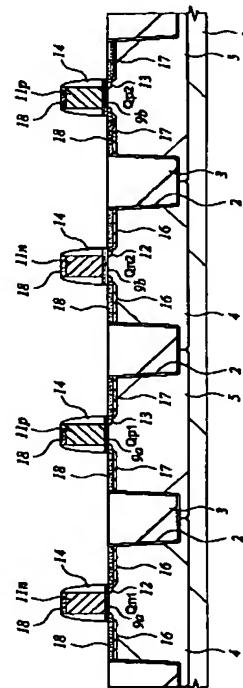
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 ゲート絶縁膜の厚さが互いに異なるMISFETを同一基板上に形成するプロセスにおいて、半導体基板とゲート絶縁膜との界面に不所望の自然酸化膜が形成されることを抑制する。

【解決手段】 内部回路を構成するMISFET(Q_{n_1} 、 Q_{p_1})のゲート絶縁膜9aは、酸窒化シリコン膜で構成され、I/O回路を構成するMISFET(Q_{n_2} 、 Q_{p_2})のゲート絶縁膜9bは、酸窒化シリコン膜と高誘電体膜の積層膜で構成される。基板1上に2種のゲート絶縁膜9a、9bを形成するプロセスは、マルチチャンバ方式の処理装置内で連続して行われ、基板1が大気に曝されることはないので、基板1とゲート絶縁膜9a、9bとの界面に不所望の異物が混入したり、自然酸化膜が形成されたりすることを抑制できる。

図16



【特許請求の範囲】

【請求項 1】 (a) 主面に第1領域と第2領域とを有するシリコン基板を用意する工程と、(b) 前記シリコン基板の正面に形成された自然酸化膜を含む膜を除去することによって、前記シリコン基板の正面のシリコン層を露出させる工程と、(c) 前記(b)工程の後、前記シリコン層の上に窒化シリコン膜よりも比誘電率が小さい第1絶縁膜を形成する工程と、(d) 前記第1領域に前記第1絶縁膜を残し、前記第2領域の前記第1絶縁膜を選択的に除去することによって、前記第2領域の前記シリコン層を露出させる工程と、(e) 前記(d)工程の後、前記第1領域の前記第1絶縁膜の上、および前記第2領域の前記シリコン層の上に窒化シリコン膜よりも比誘電率が大きい第2絶縁膜を形成する工程と、(f) 前記第2絶縁膜上に第1導体層を形成する工程と、

(g) 前記第1導体層をバターニングすることによって、前記第1領域の前記第2絶縁膜の上に前記第1導体層からなる第1MISFETのゲート電極を形成し、前記第2領域の前記第2絶縁膜の上に前記第1導体層からなる第2MISFETのゲート電極を形成する工程とを含み、少なくとも前記(b)工程から前記(e)工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 前記(b)工程における前記自然酸化膜を含む膜を除去する手段は、プラズマを利用したドライエッチングであることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 3】 前記第1絶縁膜は、酸化シリコンを主要な成分とする絶縁膜であることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 4】 前記(c)工程と前記(d)工程との間に、窒素を含む雰囲気中で前記シリコン基板を熱処理する第1熱処理工程をさらに含み、少なくとも前記(b)工程から前記(e)工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 5】 前記第1絶縁膜は、酸窒化シリコンを主要な成分とする絶縁膜であることを特徴とする請求項4記載の半導体集積回路装置の製造方法。

【請求項 6】 前記第2絶縁膜の比誘電率は、8.0以上であることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 7】 少なくとも前記(b)工程から前記(e)工程までを、マルチチャンバを備えた同一装置内で連続して行うことを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 8】 前記(b)工程から前記(f)工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 9】 前記(e)工程と前記(f)工程との間に、前記シリコン基板を熱処理する第2熱処理工程をさらに含み、少なくとも前記(b)工程から前記第2熱処理工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 10】 (a) 主面に第1領域、第2領域、第3領域および第4領域を有するシリコン基板を用意する工程と、(b) 前記シリコン基板の正面に形成された自然酸化膜を含む膜を除去することによって、前記シリコン基板の正面のシリコン層を露出させる工程と、(c)

10 前記(b)工程の後、前記シリコン層の上に窒化シリコン膜よりも比誘電率が小さい第1絶縁膜を形成する工程と、(d) 前記第1および第2領域に前記第1絶縁膜を残し、前記第3および第4領域の前記第1絶縁膜を選択的に除去することによって、前記第3および第4領域の前記シリコン層を露出させる工程と、(e) 前記(d)工程の後、前記第1および第2領域の前記第1絶縁膜の上、および前記第3および第4領域の前記シリコン層の上に窒化シリコン膜よりも比誘電率が大きい第2絶縁膜を形成する工程と、(f) 前記第1および第3領域の前記第2絶縁膜上に第1導電型の第1導体層を形成し、前記第2および第4領域の前記第2絶縁膜上に第2導電型の第2導体層を形成する工程と、(g) 前記第1および第2導体層をバターニングすることによって、前記第1領域の前記第2絶縁膜の上に前記第1導電型の第1導体層からなる第1MISFETのゲート電極を形成し、前記第2領域の前記第2絶縁膜の上に前記第2導電型の第2導体層からなる第2MISFETのゲート電極を形成し、前記第3領域の前記第2絶縁膜の上に前記第1導電型の第1導体層からなる第3MISFETのゲート電極を形成し、前記第4領域の前記第2絶縁膜の上に前記第2導電型の第2導体層からなる第2MISFETのゲート電極を形成する工程とを含み、少なくとも前記(b)工程から前記(e)工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 前記(b)工程における前記自然酸化膜を含む膜を除去する手段は、プラズマを利用したドライエッチングであることを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項 12】 前記第1絶縁膜は、酸化シリコンを主要な成分とする絶縁膜であることを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項 13】 前記(c)工程と前記(d)工程との間に、窒素を含む雰囲気中で前記シリコン基板を熱処理する第1熱処理工程をさらに含み、少なくとも前記(b)工程から前記(e)工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項14】 前記第1絶縁膜は、酸窒化シリコンを主要な成分とする絶縁膜であることを特徴とする請求項13記載の半導体集積回路装置の製造方法。

【請求項15】 前記第2絶縁膜の比誘電率は、8.0以上であることを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項16】 少なくとも前記(b)工程から前記(e)工程までを、マルチチャンバを備えた同一装置内で連続して行うことを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項17】 前記(b)工程から前記(f)工程までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項18】 前記(e)工程と前記(f)工程との間に、前記シリコン基板を熱処理する第2熱処理工事をさらに含み、少なくとも前記(b)工程から前記第2熱処理工事までを、前記シリコン基板を大気に曝すことなく連続して行うことを特徴とする請求項10記載の半導体集積回路装置の製造方法。

【請求項19】 (a)主面に第1領域と第2領域とを有するシリコン基板を用意する工程と、(b)前記シリコン基板表面に窒化シリコン膜よりも比誘電率が小さい第1絶縁膜を形成する工程と、(c)前記第1領域に前記第1絶縁膜を残し、前記第2領域の前記第1絶縁膜を選択的に除去することによって、前記第2領域の前記シリコン基板表面を露出させる工程と、(d)前記第2領域の前記シリコン基板表面を洗浄する工程と、(e)前記(d)工程の後、前記第1領域の前記第1絶縁膜上および前記第2領域の前記シリコン基板上に、窒化シリコン膜よりも比誘電率が大きい第2絶縁膜を形成する工程と、(f)前記第2絶縁膜上に第1導体層を形成する工程と、(g)前記第1導体層をバターニングすることによって、前記第1領域の前記第2絶縁膜上に前記第1導体層からなる第1MISFETのゲート電極を形成し、前記第2領域の前記第2絶縁膜上に前記第1導体層からなる第2MISFETのゲート電極を形成する工程とを含み、少なくとも前記(d)工程終了から前記(e)工程開始までの間、前記シリコン基板を不活性雰囲気に保持することを特徴とする半導体集積回路装置の製造方法。

【請求項20】 (a)主面に酸化シリコン膜からなる第1絶縁膜が形成されたシリコン基板を用意する工程と、(b)前記シリコン基板表面の前記第1絶縁膜を除去する工程と、(c)前記シリコン基板表面を洗浄する工程と、(d)前記シリコン基板上に窒化シリコン膜よりも比誘電率が大きい第2絶縁膜を形成する工程と、(e)前記第2絶縁膜上に第1導体層を形成する工程と、(f)前記第1導体層をバターニングすることによって、前記第1導体層からなる第1MISFETのゲー

ト電極を形成する工程とを含み、少なくとも前記(c)工程終了から前記(d)工程開始までの間、前記シリコン基板を不活性雰囲気に保持することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、同一半導体基板上にゲート絶縁膜の膜厚が異なる2種以上のMISFET(Metal Insulator Semiconductor Field Effect Transistor)を形成する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】半導体集積回路装置の高集積化、低消費電力化を図るために、半導体デバイスの動作電圧は世代毎に減少している。その際、デバイス性能を維持、向上させるためにMISFETはスケーリング則に従って微細化され、ゲート絶縁膜の膜厚も薄くなりつつある。しかし、例えばCMOS論理LSIなどでは、内部回路と入出力回路とで動作電圧が異なることから、ゲート絶縁膜の厚さが比較的厚いMISFETも必要とされている。

【0003】このような理由から、近年の半導体デバイスは、ゲート絶縁膜の厚さが互いに異なる複数種類のMISFETを同一基板上に形成するプロセスの導入が進められている。例えば特開2000-188338号公報は、半導体基板の第1領域に酸化シリコンからなるゲート絶縁膜、第2領域に窒化シリコンまたは酸化タンタルからなるゲート絶縁膜を作り分けるプロセスを開示している。

【0004】

【発明が解決しようとする課題】例えばゲート長が0.2μm以下のMISFETは、酸化シリコン膜換算で3nm前後の薄い膜厚のゲート絶縁膜が要求される。しかし、酸化シリコン膜を使ったゲート絶縁膜の膜厚を3nm程度まで薄くすると、ゲート絶縁膜を貫通して流れる直接トンネル電流が増加し、低消費電力化の観点から無視できない程度のゲートリーク電流が発生する。従って、ゲート絶縁膜を酸化シリコンで構成したMISFETは、ゲート絶縁膜容量を増やして電流駆動能力を向上させることには限界がある。

【0005】その対策としては、比誘電率が窒化シリコンよりも大きい酸化チタン(TiO₂)、酸化ハフニウム(HfO₂)などの高誘電体膜を使用することによって、ゲート絶縁膜の物理的な膜厚を大きくする選択肢が考えられる。

【0006】そこで、ゲート絶縁膜の厚さが互いに異なるMISFETを同一基板上に形成する前記の半導体デバイスは、ゲート絶縁膜の一部を高誘電体膜で形成し、他の一部を酸化シリコン膜で形成するプロセスを導入す

ることが要求される。

【0007】しかし、上記半導体デバイスの製法では、半導体基板表面を露出してから窒化シリコンまたは酸化タンタルからなるゲート絶縁膜を形成するまでの間に半導体基板の表面が大気に曝されることにより、大気中に含まれるカーボン(C)などの不純物(異物)が前記半導体基板表面に付着し、その上に堆積したゲート絶縁膜の耐圧が低下するという問題がある。

【0008】また、半導体基板表面が大気に曝されることにより、半導体基板表面に自然酸化膜が形成され、その上に高誘電体膜を堆積してゲート絶縁膜を形成したとしても、ゲート絶縁膜容量が低下し、電流駆動能力の高い高性能のMISFETを実現することが困難になる。

【0009】本発明の目的は、高誘電体膜からなるゲート絶縁膜を有するMISFETを半導体基板上に形成するプロセスにおいて、半導体基板とゲート絶縁膜との界面に不所望の自然酸化膜が形成されることを抑制する技術を提供することにある。

【0010】本発明の他の目的は、高誘電体膜からなるゲート絶縁膜を有するMISFETを半導体基板上に形成するプロセスにおいて、前記ゲート絶縁膜の絶縁耐圧を向上させる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】ゲート絶縁膜に高誘電体膜を用いた本発明の半導体集積回路装置の製造方法によれば、半導体基板表面の酸化シリコン膜を除去する工程と、前記半導体基板表面を洗浄する工程と、前記半導体基板表面に高誘電体膜を堆積する工程とを有し、前記半導体基板表面を洗浄した後、前記高誘電体膜を堆積するまでの間において、前記半導体基板を不活性雰囲気に保持することにより、前記ゲート絶縁膜の絶縁耐圧の低下を防止することができ、かつ前記ゲート絶縁膜の容量低下を防止して電流駆動能力を向上させることができる。

【0014】本発明の半導体集積回路装置の製造方法は、(a)主面に第1領域と第2領域とを有するシリコン基板を用意する工程と、(b)前記シリコン基板の主面に形成された自然酸化膜を含む膜を除去することによって、前記シリコン基板の主面のシリコン層を露出させる工程と、(c)前記(b)工程の後、前記シリコン層の上に窒化シリコン膜よりも比誘電率が小さい第1絶縁膜を形成する工程と、(d)前記第1領域に前記第1絶縁膜を残し、前記第2領域の前記第1絶縁膜を選択的に除去することによって、前記第2領域の前記シリコン層を露出させる工程と、(e)前記(d)工程の後、前記

第1領域の前記第1絶縁膜の上、および前記第2領域の前記シリコン層の上に窒化シリコン膜よりも比誘電率が大きい第2絶縁膜を形成する工程と、(f)前記第2絶縁膜上に第1導体層を形成する工程と、(g)前記第1導体層をバーニングすることによって、前記第1領域の前記第2絶縁膜の上に前記第1導体層からなる第1MISFETのゲート電極を形成し、前記第2領域の前記第2絶縁膜の上に前記第1導体層からなる第2MISFETのゲート電極を形成する工程とを含み、少なくとも前記(b)工程から前記(e)工程までを、前記シリコン基板を大気に曝すことなく連続して行うようにしたものである。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0016】(実施の形態1) 本実施形態のCMOS-LSIは、回路の消費電力を低減する観点から、内部回路を構成するMISFETを低電圧で動作させる。このため、内部回路を構成するMISFETのゲート絶縁膜を薄い絶縁膜で構成する。一方、外部の高電圧が印加される入出力(I/O)回路のMISFETは、ゲート耐圧を確保する必要があるので、厚い絶縁膜でゲート絶縁膜を形成する。

【0017】以下、本実施形態のCMOS-LSIの製造方法を図1～図19を用いて工程順に説明する。なお、CMOS-LSIの製造方法を示す半導体基板の断面図(図1、図2、図5～図19)の左側の領域は、内部回路領域を示し、右側の領域は、I/O回路領域を示す。

【0018】まず、図1に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板(以下、基板といふ)1に素子分離溝2を形成する。素子分離溝2を形成するには、素子分離領域の基板1をエッチングして溝を形成した後、溝の内部を含む基板1上にCVD法で酸化シリコン膜3を堆積し、続いて溝の外部の酸化シリコン膜3を化学機械研磨法によって除去する。

【0019】次に、図2に示すように、基板1を熱酸化してその表面に膜厚10nm以下の薄い酸化シリコン膜7を形成する。続いて、この酸化シリコン膜7を介して基板1の一部にホウ素をイオン注入し、他の一部にリンをイオン注入した後、基板1を熱処理して上記不純物(ホウ素およびリン)を基板1の内部に拡散させることにより、nチャネル型MISFET形成領域にp型ウェル4を形成し、pチャネル型MISFET形成領域にn型ウェル5を形成する。またこのとき、MISFETの

しきい値電圧を制御するために、p型ウエル4の表面（チャネル形成領域）にホウ素をイオン注入し、n型ウエル5の表面（チャネル形成領域）にリンをイオン注入する。

【0020】次に、上記基板1を図3に示す処理装置100に搬送する。この処理装置100は、エッティング室101、酸化処理室102、窒化処理室103、露光処理室104および成膜処理室105からなる複数の処理室と、ローダ106、アンローダ107を備えたマルチチャンバで構成されている。処理装置100の中央部には、ウエハ状態の基板1を上記した各処理室へ（から）搬入（搬出）するためのロボットハンド108を備えた搬送系が設けられている。搬送系の内部には窒素あるいは希ガスなどの不活性ガスが充填され、基板1を大気に接触させることなく各処理室へ（から）搬入（搬出）することができるようになっている。

【0021】上記処理装置100に搬送されたウエハ状態の基板1は、まずローダ106に収容され、続いてローダ106内のガス置換が行われた後、搬送系を通じてエッティング室101に送られる。

【0022】図4に示すように、エッティング室101は、基板1を載置するステージ201を備えたチャンバ202と、チャンバ202の外部に設けられたプラズマ生成部203とで構成されている。そして、基板1がチャンバ202に収容されると、プラズマ生成部203にフッ素系ガス、あるいはフッ素系ガスと水素の混合ガスが供給され、マイクロ波などによって形成されたプラズマによってこれらのガスが分解されることにより、フッ素ラジカル、あるいはフッ素ラジカルと水素ラジカルが生成し、図5に示すように、基板1の表面に形成された薄い酸化シリコン膜7を分解、除去する。

【0023】このように、チャンバ202と分離されたプラズマ生成部203を有するエッティング室101で酸化シリコン膜7を分解、除去することにより、基板1の表面がプラズマダメージを受け難くなるので、結晶欠陥などによる素子の特性変動を抑制することができる。なお、酸化シリコン膜7の除去は、フッ酸などを用いたウェットエッティングで行うことも可能であるが、ウェット方式を採用した場合は、酸化シリコン膜7を除去した後、基板1を純水洗浄したり、乾燥したりする工程が必要になるので、前記のようなドライ方式を採用した場合に比べると、酸化シリコン膜7を除去してから次の工程に移るまでの間に、マルチチャンバ化が困難になる。

【0024】次に、酸化シリコン膜7が除去された基板1をエッティング室101から取り出して酸化処理室102に搬送する。そして、酸化処理室102内で基板1の表面を湿式酸化することによって、図6に示すように、基板1（p型ウエル4、n型ウエル5）の表面に膜厚1～4nm程度の酸化シリコン膜6を形成する。この酸化シリコン膜6は、I/O回路を構成するMISFETの

ゲート絶縁膜の一部として使用される。

【0025】このように、基板1の表面を洗浄してから酸化シリコン膜（ゲート絶縁膜）6の形成までのプロセスを、基板1を大気に暴露することなく実施することにより、酸化シリコン膜7を除去した後の基板1の表面に形成される不所望な自然酸化膜の膜厚を極力薄くすることができますので、薄く、かつ高品質な酸化シリコン膜（ゲート絶縁膜）6を得ることができる。

【0026】次に、酸化シリコン膜6が形成された基板1を酸化処理室102から取り出して窒化処理室103に搬送し、基板1の表面を窒化する。これにより、図7に示すように、酸化シリコン膜6が窒化されて酸窒化シリコン膜8となる。酸化シリコン膜6の窒化処理は、例えば窒化処理室103内にアンモニア（NH₃）ガスを供給し、ランプアニールで基板1を900°C程度に急速加熱することによって行う。窒化処理は、窒素をソースガスに用いたプラズマ処理によって行うこともできる。この場合は、基板1を収容するチャンバ202とプラズマを発生するプラズマ生成部203とが分離された前記エッティング室101を使用することにより、プラズマによる基板1のダメージを低減することができる。

【0027】上記した窒化処理は必須の工程ではないが、酸化シリコン膜6を酸窒化シリコン膜8に変えることにより、後の工程で酸窒化シリコン膜8の上部に堆積する高誘電体膜との界面が酸化され難くなる利点がある。

【0028】次に、酸窒化シリコン膜8が形成された基板1を窒化処理室103から取り出して露光処理室104に搬送し、図8に示すように、基板1の表面の一部（I/O回路領域）をフォトレジスト膜40で覆う。図示は省略するが、露光処理室104の内部には、基板1の表面にフォトレジスト膜40をスピンドル塗布するレジスト塗布装置、基板1の表面に塗布されたフォトレジスト膜40に所定のパターンを転写する露光装置、露光処理が完了したフォトレジスト膜40を現像する現像装置、基板1の表面のフォトレジスト膜40を除去するアシング装置が設けられている。

【0029】次に、フォトレジスト膜40が形成された基板1を露光処理室104から取り出して前記エッティング室101に搬送し、図9に示すように、フォトレジスト膜40で覆われていない領域（内部回路領域）の酸窒化シリコン膜8を除去する。

【0030】次に、基板1をエッティング室101から露光処理室104に搬送し、フォトレジスト膜40をアシング処理によって除去した後、成膜処理室105へ搬送する。そして、図10に示すように、基板1上に酸化シリコン換算膜厚で2nm～5nm程度の高誘電体膜9を堆積する。この高誘電体膜9は、内部回路を構成するMISFETのゲート絶縁膜として使用されると共に、I/O回路を構成するMISFETのゲート絶縁膜の一

部としても使用される。

【0031】ここで、上記高誘電体膜9は、比誘電率が窒化シリコンよりも大きい材料からなる膜であり、より具体的には比誘電率が8.0以上の材料からなる膜である。このような高い比誘電率を持った材料として、例えば酸化チタン(TiO_2)、酸化ハフニウム(HfO_2)、アルミナ(Al_2O_3)、酸化ジルコニア(ZrO_2)、酸化ルテニウム(RuO_2)などが例示できる。また、PZT、PLT、PLZT、 $PbTiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ 、BST、SBTまたは Ta_2O_5 など、ペロブスカイト型または複合ペロブスカイト型の結晶構造を有する高誘電体あるいは強誘電体を使用してもよい。高誘電体膜9の形成には、CVD法、スパッタリング法あるいはALD(Atomic Layer Deposition)法などを用いるが、高誘電体膜9が例えば酸化チタン膜である場合は、テトライソプロポキシチタン($Ti(iiso-OCH_3)_4$)と酸素をソースガスに用いたCVD法(成膜温度400°C程度)で堆積する。

【0032】一般に、上記のような金属酸化物からなる高(強)誘電体膜は、成膜直後の膜中に酸素欠損などの結晶欠陥があるために、これをそのままゲート絶縁膜として使用すると、ゲート耐圧が低下したり、リーク電流が多くなったりする虞れがある。そこで、このような虞れがある場合は、誘電体膜9を改質、結晶化するための熱処理を行う。この熱処理を行うには、まず基板1を酸化処理室102に搬送し、酸素を含んだ高温雰囲気中で基板1を熱処理する。次に、基板1を窒化処理室103に搬送し、窒素を含んだ高温雰囲気中で基板1を熱処理する。このとき、高誘電体膜9とその下層の基板1(または酸窒化シリコン膜8)との界面に所望しない酸化物が生じるのをできるだけ抑制するため、酸化処理室102内の熱処理は、可能な限り温度を下げて行うことが望ましい。

【0033】ここまで工程により、内部回路領域の基板1の表面に高誘電体膜9からなる薄いゲート絶縁膜9aが形成され、I/O回路領域の基板1の表面に酸窒化シリコン膜8と高誘電体膜9の積層膜からなる厚いゲート絶縁膜9bが形成される。

【0034】このように、本実施形態では、基板1上に膜厚の異なる2種類のゲート絶縁膜9a、9bを形成する際に上記した処理装置100を用い、基板1を大気に曝すことなく連続処理を行うので、自然酸化膜成分の割合や異物の付着量が極めて少ない高品質のゲート絶縁膜9a、9bを形成することができる。

【0035】次に、図11に示すように、p型ウェル4の上部にn型多結晶シリコン膜10nを形成し、n型ウェル5の上部にp型多結晶シリコン膜10pを形成する。これらの多結晶シリコン膜(10n、10p)は、MISFETのゲート電極材料として使用される。

【0036】上記多結晶シリコン膜(10n、10p)

を形成するには、基板1上にCVD法でノンドープの多結晶シリコン膜を堆積し、続いてフォトレジスト膜をマスクにしたイオン注入法によって、p型ウェル4の上部の多結晶シリコン膜にリンをドープし、n型ウェル5の上部の多結晶シリコン膜にホウ素をドープする。

【0037】上記したノンドープの多結晶シリコン膜の堆積は、前記処理装置100の成膜処理室105を使って行っててもよく、あるいはスタンダードアローンのCVD装置を使って行っててもよい。成膜処理室105内で堆積する場合は、ゲート絶縁膜9a、9bを形成してからノンドープの多結晶シリコン膜を堆積するまでの間に基板1が大気に曝されることないので、ゲート絶縁膜9a、9bの表面に所望しない自然酸化膜が形成されたり、異物が付着したりする不具合を抑制することができる。

【0038】なお、ゲート電極材料は、上記した多結晶シリコン膜(10n、10p)以外の導体膜、例えばGe(ゲルマニウム)を数%から数10%含んだシリコン膜、多結晶シリコン膜と高融点金属シリサイド膜との積層膜(ポリサイド膜)、多結晶シリコン膜と高融点金属膜との積層膜(ポリメタル膜)などで構成してよいことは勿論である。

【0039】以下、多結晶シリコン膜(10n、10p)を堆積した後の工程を簡単に説明する。

【0040】まず、図12に示すように、フォトレジスト膜41をマスクにしてn型多結晶シリコン膜10nおよびp型多結晶シリコン膜10pをドライエッチングすることにより、p型ウェル4の上部にn型多結晶シリコン膜10nからなるゲート電極11nを形成し、n型ウェル5の上部にp型多結晶シリコン膜10pからなるゲート電極11pを形成する。

【0041】次に、フォトレジスト膜41を除去した後、図13に示すように、ゲート電極11nの両側のp型ウェル4にリンまたはヒ素をイオン注入して、低不純物濃度のn-型半導体領域12を形成し、ゲート電極11pの両側のn型ウェル5にホウ素をイオン注入して、低不純物濃度のp-型半導体領域13を形成する。n-型半導体領域12は、nチャネル型MISFETをLDD(tightly doped drain)構造にするために形成し、p-型半導体領域13は、pチャネル型MISFETをLDD構造にするために形成する。

【0042】次に、図14に示すように、ゲート電極11n、11pの側壁にサイドウォールスペーサ14を形成する。サイドウォールスペーサ14を形成するには、基板1上にCVD法で窒化シリコン膜を堆積し、続いてこの窒化シリコン膜を異方的にエッチングしてゲート電極11n、11pの側壁に残す。

【0043】次に、ゲート電極11nの両側のp型ウェル4にリンまたはヒ素をイオン注入し、ゲート電極11pの両側のn型ウェル5にホウ素をイオン注入した後、基板1を熱処理してこれらの不純物を拡散させることに

より、p型ウエル4に高不純物濃度のn⁺型半導体領域（ソース、ドレイン）16を形成し、n型ウエル5に高不純物濃度のp⁺型半導体領域（ソース、ドレイン）17を形成する。

【0044】次に、図15に示すように、n⁺型半導体領域（ソース、ドレイン）16、p⁺型半導体領域（ソース、ドレイン）17のそれぞれの上部に形成されたゲート絶縁膜9a、9bをエッチングで除去した後、基板1上にスパッタリング法でコバルト（Co）膜18aを堆積する。あるいは、コバルト膜18aに代えてTi（チタン）膜を堆積してもよい。

【0045】続いて、基板1を熱処理することによって、コバルト膜18aとシリコン（基板1およびゲート電極11n、11p）とを反応させた後、未反応のコバルト膜18aをウェットエッチングで除去する。これにより、図16に示すように、n⁺型半導体領域（ソース、ドレイン）16、p⁺型半導体領域（ソース、ドレイン）17およびゲート電極11n、11pのそれぞれの表面にコバルトシリサイド層18が形成される。ゲート電極11n、11pの表面にコバルトシリサイド層18を形成することにより、ゲート電極11n、11pは、多結晶シリコン膜（10nまたは10p）とコバルトシリサイド層18の積層膜（ポリサイド膜）となる。

【0046】ここまで工程により、内部回路を構成するnチャネル型MISFET（Qn₁）およびpチャネル型MISFET（Qp₁）と、I/O回路を構成するnチャネル型MISFET（Qn₂）およびpチャネル型MISFET（Qp₂）がそれぞれ完成する。

【0047】次に、図17に示すように、基板1上にCVD法で窒化シリコン膜19を堆積し、続いて窒化シリコン膜19の上部にCVD法で酸化シリコン膜20を堆積した後、図18に示すように、酸化シリコン膜20の上部に形成したフォトレジスト膜42をマスクにして酸化シリコン膜20とその下層の窒化シリコン膜19とをドライエッチングすることにより、n⁺型半導体領域（ソース、ドレイン）16の上部およびp⁺型半導体領域（ソース、ドレイン）17の上部にそれぞれコンタクトホール21を形成する。

【0048】次に、フォトレジスト膜42を除去した後、図19に示すように、コンタクトホール21の内部を含む酸化シリコン膜20上にCVD法またはスパッタリング法でタンクステン（W）膜を堆積し、続いてフォトレジスト膜をマスクにしてこのタンクステン膜をドライエッチングすることにより、酸化シリコン膜20の上部にタンクステン配線22～28を形成する。

【0049】その後、タンクステン配線22～28の上部に層間絶縁膜を介して複数層の配線を形成するが、それらの図示は省略する。

【0050】このように、本実施形態によれば、基板1とゲート絶縁膜9a、9bとの界面に、大気中に含まれ

るカーボン（C）などの不純物（異物）が混入するのを防止でき、また不希望の自然酸化膜が形成されることを抑制できる。これにより、内部回路を構成するMISFET（Qn₁、Qp₁）のトンネルリーク電流の抑制と駆動能力の確保を両立させることができる。また、I/O回路を構成するMISFET（Qn₂、Qp₂）のゲート絶縁膜9bを酸窒化シリコン膜8と高誘電体膜9との積層膜で形成することにより、高電圧動作時の信頼性を確保することができる。

【0051】（実施の形態2）本実施形態は、置換ゲート型のMISFETに適用したものであり、その製造工程を図20～図29を用いて説明する。

【0052】まず、図20に示すように、p型の単結晶シリコンからなる基板1に素子分離溝2を形成した後、基板1の表面に熱酸化法またはCVD法によって酸化シリコン膜50を堆積する。

【0053】次に、図21に示すように、例えばCVD法で基板1上に堆積したノンドープの多結晶シリコン膜をバターニングすることによって、ゲート電極を形成する領域にダミーゲート51を形成する。

【0054】次に、図22に示すように、リンのイオン注入によってダミーゲート51の両側の基板1に低不純物濃度のn⁺型半導体領域52を形成し、続いてダミーゲート51の側壁に酸化シリコンからなるサイドウォールスペーサ53を形成した後、リンのイオン注入によってダミーゲート51の両側の基板1に高不純物濃度のn⁺型半導体領域（ソース、ドレイン）54を形成する。

【0055】次に、図23に示すように、基板1上にCVD法で窒化シリコン膜55と酸化シリコン膜56とを順次堆積した後、図24に示すように、化学的機械研磨法によって酸化シリコン膜56の一部とその下層の窒化シリコン膜55の一部を除去することによって、ダミーゲート51の上面を露出させ、続いて、図25に示すように、ダミーゲート51をエッチングによって除去する。

【0056】次に、この基板1を前記図3に示す処理装置100のエッチング室101に搬送し、図26に示すように、ダミーゲート51の除去によって露出した領域の酸化シリコン膜50をエッチングすることによって、基板1の表面を露出させる。

【0057】次に、基板1を処理装置100の成膜処理室105に搬送し、図27に示すように、酸化シリコン膜50の除去によって露出した基板1の表面および酸化シリコン膜56上に高誘電体膜57を堆積した後、図28に示すように、高誘電体膜57の上部にW膜58を堆積する。

【0058】次に、基板1を処理装置100から搬出し、化学的機械研磨法によって酸化シリコン膜56の上部のW膜58と高誘電体膜57とを除去することによって、W膜58からなるゲート電極59を形成し、このゲ

ート電極59の側壁と底部とに高誘電体膜57からなるゲート絶縁膜60を形成する。ここまで工程により、基板1上にnチャネル型MISFET Q_nが形成される。

【0059】このように、酸化シリコン膜50の除去からW膜58の堆積までの工程を処理装置100内で連続して実施することにより、基板1とゲート絶縁膜60との界面に所望しない自然酸化膜が形成されたり、異物が付着したりする不具合を抑制することができる。

【0060】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0061】前記実施の形態では、内部回路を構成するMISFETのゲート絶縁膜を高誘電体膜で形成し、I/O回路を構成するMISFETのゲート絶縁膜を酸化シリコン膜（または酸窒化シリコン膜）と高誘電体膜との積層膜で形成する場合について説明したが、本発明は、これに限定されるものではなく、一部のMISFETのゲート絶縁膜を高誘電体膜で形成し、他の一部のMISFETのゲート絶縁膜を酸化シリコン膜（または酸窒化シリコン膜）と高誘電体膜との積層膜で形成するプロセスに広く適用することができる。

【0062】また、本発明は、前記実施の形態の処理装置100に代えて、全体が不活性雰囲気となったクリンルームに置き換えた場合にも適用することができる。この場合は、搬送系、ローダ／アンローダ部が不活性雰囲気となる。

【0063】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0064】ゲート絶縁膜の一部を高誘電体膜で形成し、他の一部を酸化シリコン膜で形成するプロセスにおいて、半導体基板とゲート絶縁膜との界面に不所望の異物が混入したり、不所望の自然酸化膜が形成されることを抑制できるので、トンネルリーク電流の抑制とMISFETの駆動能力の確保を両立させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるMISFETの製造に用いる処理装置の概略図である。

【図4】図3に示す処理装置のエッチング室を示す概略図である。

【図5】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図20】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図22】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図23】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図24】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図25】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図26】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図27】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図28】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【図29】本発明の他の実施の形態であるMISFETの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

2 素子分離溝
 3 酸化シリコン膜
 4 p型ウエル
 5 n型ウエル
 6 酸化シリコン膜
 7 酸化シリコン膜
 8 酸塗化シリコン膜
 9 高誘電体膜
 9a 薄いゲート絶縁膜
 9b 厚いゲート絶縁膜
 10n n型多結晶シリコン膜
 10p p型多結晶シリコン膜
 11n、11p ゲート電極
 12 n⁻型半導体領域
 13 p⁻型半導体領域
 14 サイドウォールスペーサ
 16 n⁺型半導体領域（ソース、ドレイン）
 17 p⁺型半導体領域（ソース、ドレイン）
 18a コバルト膜
 18 コバルトシリサイド層
 19 窒化シリコン膜
 20 酸化シリコン膜
 21 コンタクトホール
 22~28 タングステン配線
 40、41、42 フォトレジスト膜

* 50 酸化シリコン膜
 51 ダミーゲート
 52 n⁻型半導体領域
 53 サイドウォールスペーサ
 54 n⁺型半導体領域（ソース、ドレイン）
 55 窒化シリコン膜
 56 酸化シリコン膜
 57 高誘電体膜
 58 W膜
 10 59 ゲート電極
 60 ゲート絶縁膜
 100 処理装置
 101 エッチング室
 102 酸化処理室
 103 窒化処理室
 104 露光処理室
 105 成膜処理室
 106 ローダ
 107 アンローダ
 20 201 ステージ
 202 チャンバ
 203 ブラズマ生成部
 Qn₁、Qn₂、Qn₃ nチャネル型MISFET
 Qp₁、Qp₂ pチャネル型MISFET

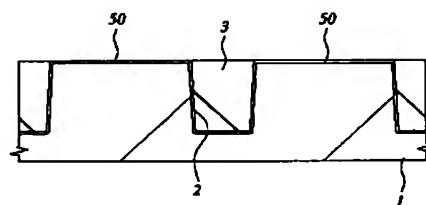
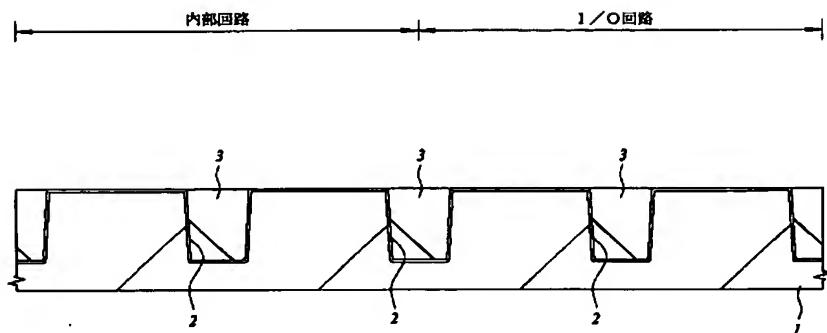
*

【図1】

【図20】

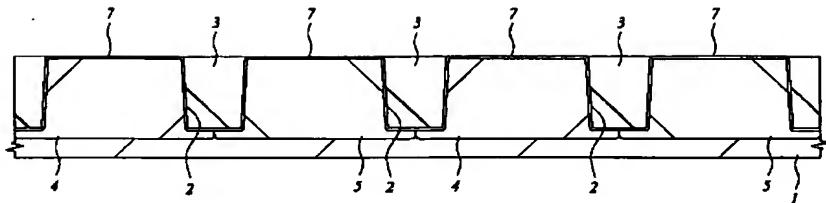
図1

図20



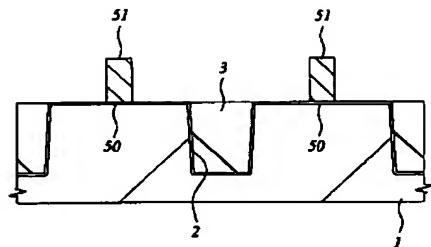
【図2】

図2



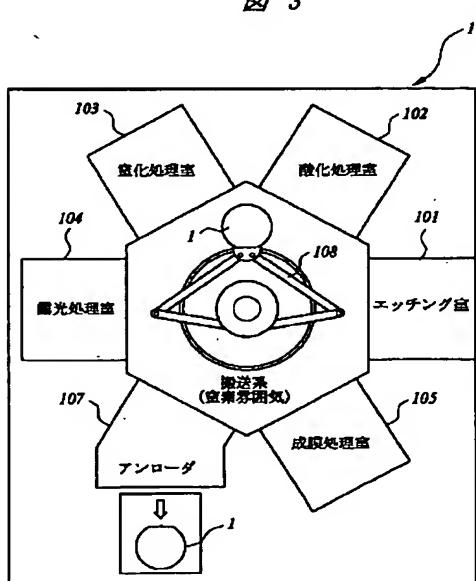
【図21】

図21



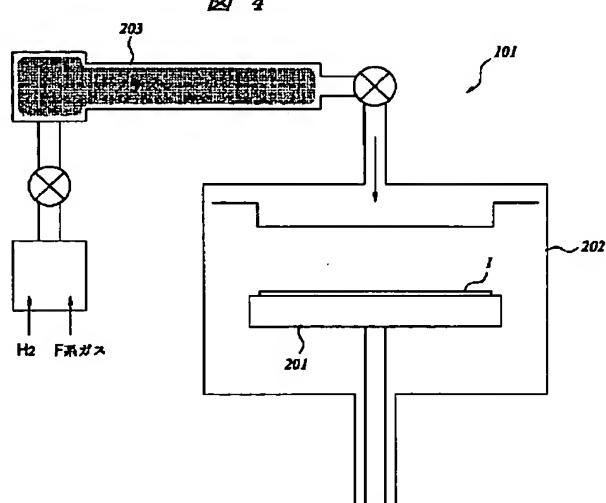
【図3】

図3



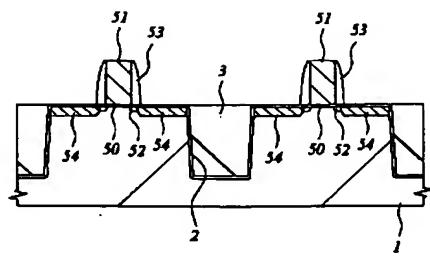
【図4】

図4



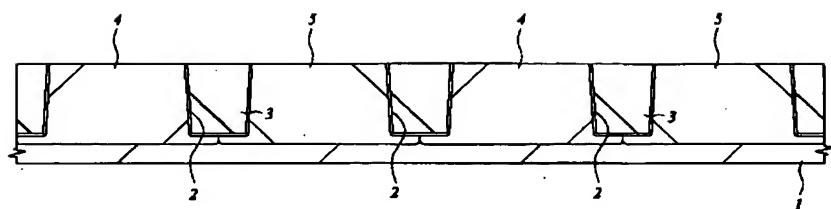
【図22】

図22



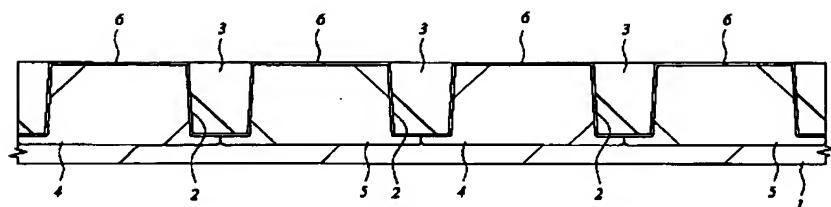
【図5】

図5



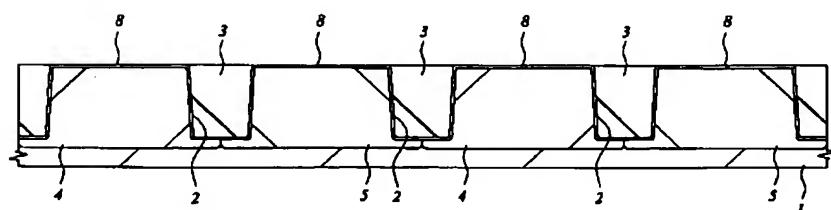
【図6】

図6



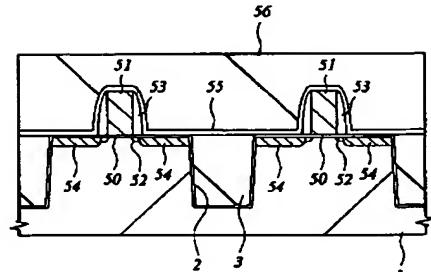
【図7】

図7



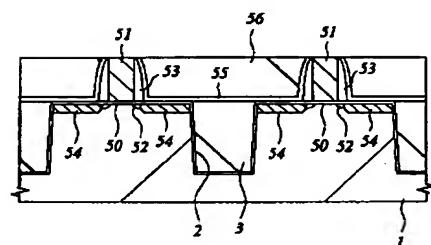
【図23】

図23



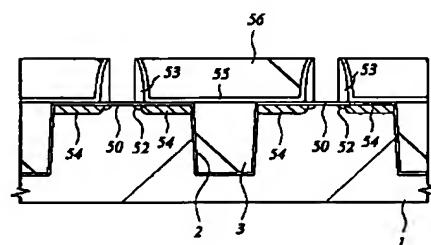
【図24】

図24



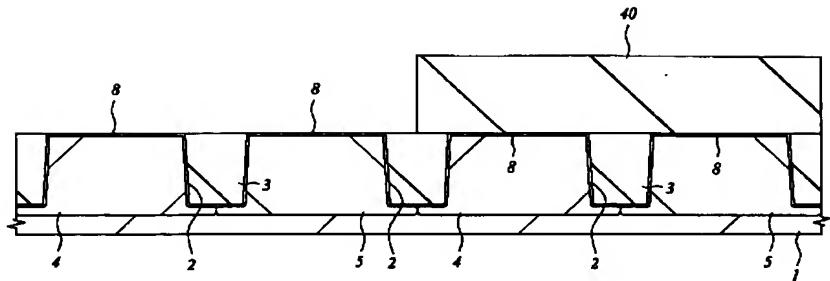
【図25】

図25



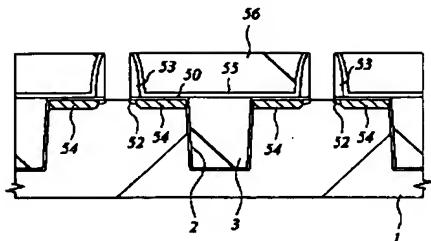
【図8】

図8



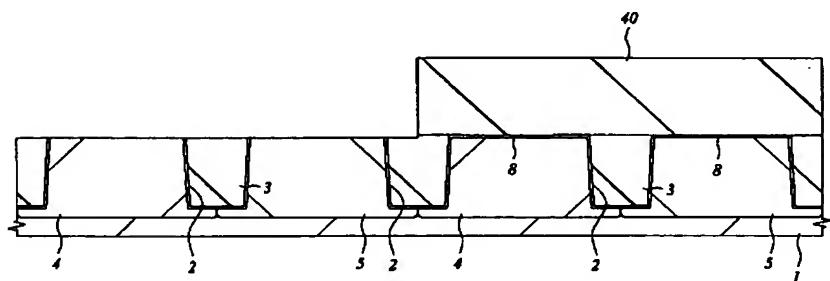
【図26】

図26



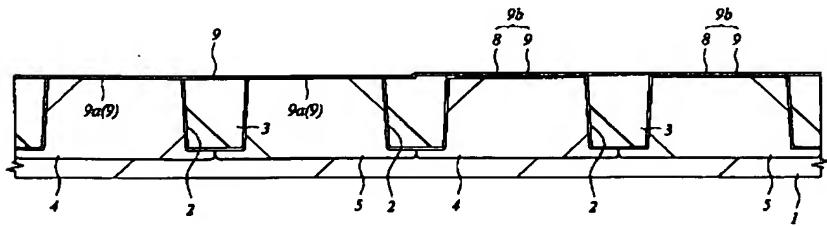
【図9】

図9



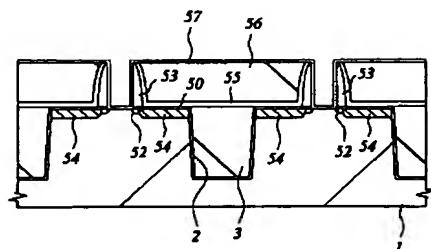
【図10】

図10



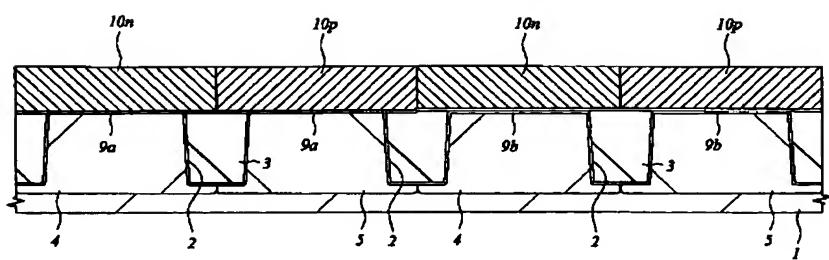
【図27】

図27



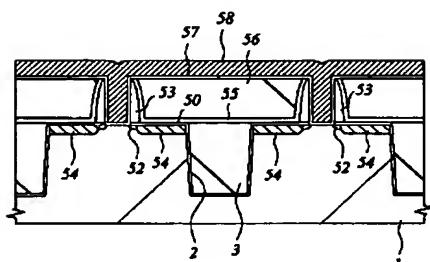
【図11】

図11



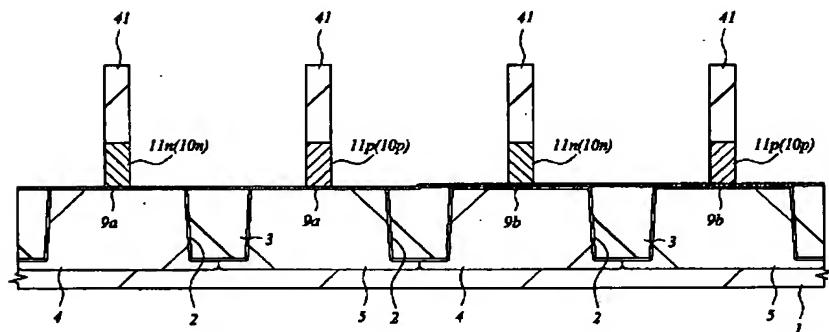
【図28】

図28



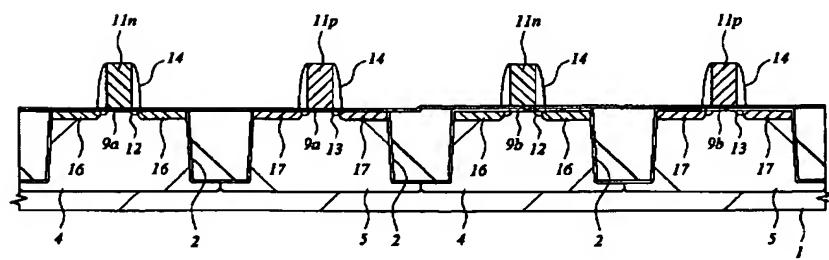
【図12】

図12



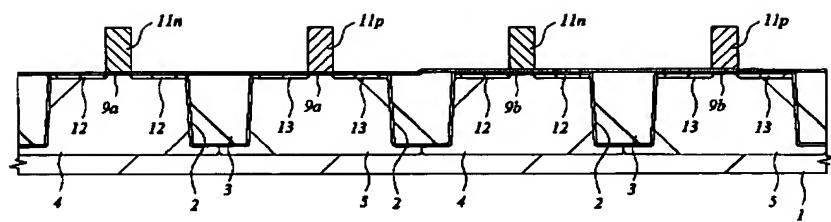
【図14】

図14



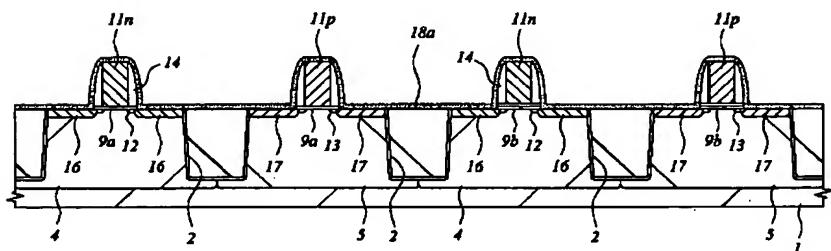
【図13】

図 13



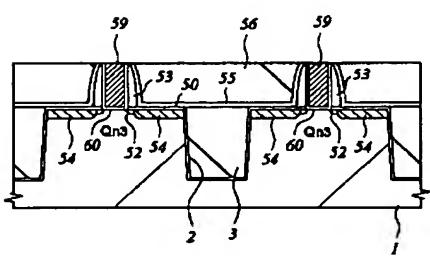
【図15】

図 15



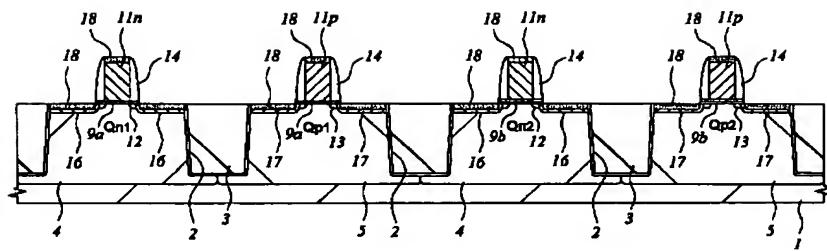
【図29】

図 29



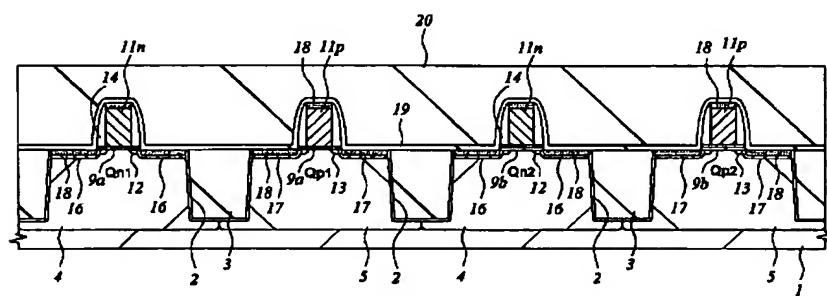
【図16】

図 16



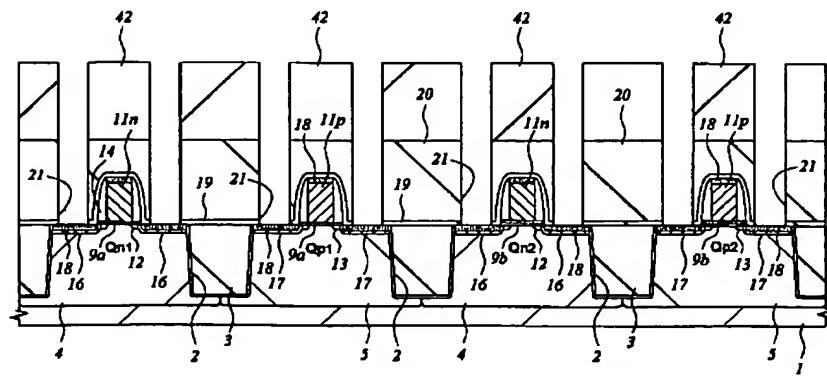
【図17】

図 17

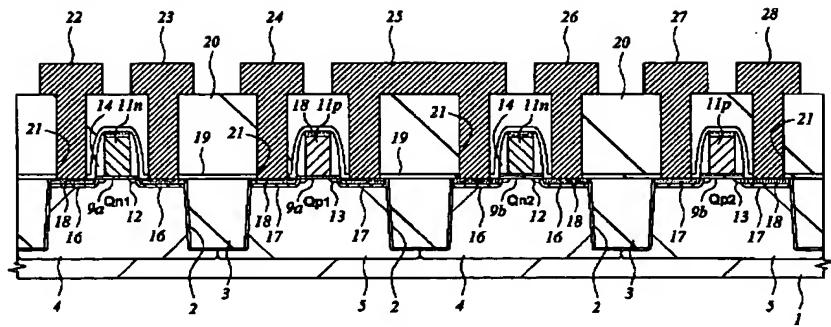


【図18】

図 18



【図19】

~~27~~ 19

フロントページの続き

(72)発明者 山本 智志
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

F ターム(参考) 5F048 AA07 AB06 AB07 AC01 AC03
 BA01 BB01 BB06 BB07 BB08
 BB09 BB11 BB12 BB16 BB17
 BC06 BE03 BF06 BF11 BF16
 BG14 DA25 DA30

METHOD FOR MANUFACTURING
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

BACKGROUND OF THE INVENTION

The present invention relates to a method for manufacturing a semiconductor integrated circuit device. More particularly, it relates to a technology effectively applicable to a semiconductor integrated circuit device in which two or more types of MISFETs (Metal Insulator Semiconductor Field Effect Transistors) mutually different in thickness of the gate insulating film are formed on the same semiconductor substrate.

The operating voltage of a semiconductor device has been reduced generation by generation for achieving higher integration and lower power consumption of a semiconductor integrated circuit device. Under such circumstances, a MISFET is reduced in size in accordance with the scaling law for maintaining and improving the device performance, so that the thickness of the gate insulating film is also being reduced. However, for example, with a CMOS logic LSI, or the like, the operating voltage is different between the internal circuit and the input / output circuit. For this reason, a MISFET in which the thickness of the gate insulating film is relatively larger is also required.

For such a reason, for a recent semiconductor device,

insulating film is increased by using a high dielectric film of titanium dioxide (TiO_2), hafnium dioxide (HfO_2), or the like, which has a larger relative dielectric constant than that of silicon nitride.

Thus, for the semiconductor device in which MISFETs mutually different in thickness of the gate insulating film are formed on the same substrate, a process of forming a part of the gate insulating film with a high dielectric film and forming another part thereof with a silicon dioxide film is required to be introduced.

However, with the foregoing semiconductor device manufacturing method, the surface of the semiconductor substrate is exposed to air between when the semiconductor substrate surface has been exposed and when a gate insulating film made of silicon nitride or tantalum oxide is formed. Accordingly, impurities (foreign matters) such as carbon (C) contained in air are deposited on the semiconductor substrate surface, unfavorably resulting in a reduction in withstand voltage of the gate insulating film deposited thereon.

Further, by exposure of the semiconductor substrate surface to air, a natural oxide film is formed on the semiconductor substrate surface. Even if a high dielectric film is deposited thereon to form a gate insulating film, the gate insulating film capacitance is reduced. In consequence,

a step of cleaning the semiconductor substrate surface; and a step of depositing a high dielectric film on the semiconductor substrate surface. With this method, the semiconductor substrate is held in an inert atmosphere between when the semiconductor substrate surface has been cleaned and when the high dielectric film is deposited. In consequence it is possible to prevent the reduction in withstand voltage of the gate insulating film, and it is possible to improve the current driving ability by preventing the reduction in capacitance of the gate insulating film.

A method for manufacturing a semiconductor integrated circuit device of the present invention, includes the steps of: (a) preparing a silicon substrate having a first region and a second region on a principal surface; (b) removing a film including a natural oxide film formed on the principal surface of the silicon substrate, and thereby exposing a silicon layer on the principal surface of the silicon substrate; (c) forming, after the step (b), a first insulating film having a smaller relative dielectric constant than that of a silicon nitride film on the silicon layer; (d) selectively removing the first insulating film in the second region, leaving the first insulating film in the first region, and thereby exposing the silicon layer in the second region; (e) forming, after the step (d), a second insulating film having a larger relative

FIG. 4 is a schematic view for showing an etching chamber of the treatment apparatus shown in FIG. 3;

FIG. 5 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 6 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 7 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 8 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 9 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 10 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for

manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 17 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 18 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 19 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is the one embodiment of the present invention;

FIG. 20 is a cross sectional view of the essential part of a semiconductor substrate, for showing a method for manufacturing a MISFET which is another embodiment of the present invention;

FIG. 21 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is another embodiment of the present invention;

FIG. 22 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for

manufacturing the MISFET which is another embodiment of the present invention; and

FIG. 29 is a cross sectional view of the essential part of the semiconductor substrate, for showing the method for manufacturing the MISFET which is another embodiment of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Below, the present invention will be described specifically by way of embodiments by reference to the accompanying drawings. Incidentally, throughout the drawings for describing the embodiments, the elements having the same function are represented by the same reference numerals and characters, and the repeated description thereof is omitted. Further, in the following embodiments, the explanation of the same or similar parts will not be repeated in principle unless if necessary.

(Embodiment 1)

With a CMOS-LSI of this embodiment, a MISFET constituting the internal circuit is operated at a low voltage from the viewpoint of reducing the power consumption of the circuit. To this end, the gate insulating film of the MISFET constituting the internal circuit is comprised of a thin insulating film. On the other hand, for another MISFET of an input / output (I/O)

dioxide film 7, and phosphorus is ion-implanted into another part thereof. Thereafter, the substrate 1 is heat-treated to diffuse the impurities (boron and phosphorus) into the inside of the substrate 1. In consequence, a p-type well 4 is formed in an n-channel-type MISFET formation region, and an n-type well 5 is formed in a p-channel type MISFET formation region. Further, at this step, boron is ion-implanted into the surface of the p-type well 4 (channel formation region), and phosphorus is ion-implanted into the surface of the n-type well 5 (channel formation region) for controlling the threshold voltage of the MISFET.

Then, the substrate 1 is transported into a treatment apparatus 100 shown in FIG. 3. The treatment apparatus 100 is made up of a multi-chamber system including a plurality of treatment chambers made up of an etching chamber 101, an oxidizing treatment chamber 103, a nitriding treatment chamber 103, an exposing treatment chamber 104, and a film-forming treatment chamber 105, and a loader 106 and an unloader 107. At the central part of the treatment apparatus 100, there is disposed a transport system including a robot hand 108 for transporting in (transporting out) the substrate 1 in wafer form to (from) the foregoing respective treatment chambers. An inert gas such as nitrogen or a rare gas is filled inside the transport system. This allows the substrate 1 to be transported

like. Incidentally, it is also possible to perform the removal of the silicon dioxide film 7 by wet etching using a hydrogen fluoride, or the like. However, when a wet process is adopted, steps of pure water cleaning and drying of the substrate 1 become required after removing the silicon dioxide film 7. Therefore, as compared with the case where the foregoing dry process is adopted, the multi-chamber configuration becomes difficult to implement during the transition from removal of the silicon dioxide film 7 to the subsequent step.

Then, the substrate 1 from which the silicon dioxide film 7 has been removed is taken out from the etching chamber 101, and transported into the oxidizing treatment chamber 102. Then, the surface of the substrate 1 is wet oxidized in the oxidizing treatment chamber 102, thereby to form a silicon dioxide film 6 with a thickness of about 1 to 4 nm on the surface of the substrate 1 (the p-type well 4, the n-type well 5) as shown in FIG. 6. The resulting silicon dioxide film 6 is used as a part of the gate insulating film of the MISFET constituting the I/O circuit.

By performing the process from cleaning of the surface of the substrate 1 to formation of the silicon dioxide film (gate insulating film) 6 without exposing the substrate 1 to air in this manner, it is possible to minimize the thickness of the undesirable natural oxide film formed on the surface of the

in the subsequent step advantageously becomes less susceptible to oxidation.

Then, the substrate 1 on which the silicon oxynitride film 8 has been formed is taken out from the nitriding treatment chamber 103, and transported into the exposing treatment chamber 104. Then, as shown in FIG. 8, a part of the surface (I/O circuit region) of the substrate 1 is covered with a photoresist film 40. Although not shown, inside the exposing treatment chamber 104, there are disposed a resist coating apparatus for spin-coating the surface of the substrate 1 with the photoresist film 40, an exposing apparatus for transferring a prescribed pattern onto the photoresist film 40 coated on the surface of the substrate 1, a developing apparatus for developing the photoresist film 40 after completion of the exposing treatment, and an ashing apparatus for removing the photoresist film 40 on the surface of the substrate 1.

Then, the substrate 1 on which the photoresist film 40 has been formed is taken out from the exposing treatment chamber 104, and transported into the etching chamber 101. As shown in FIG. 9, the silicon oxynitride film 8 in the region not covered with the photoresist film 40 (the internal circuit region) is then removed.

Subsequently, the substrate 1 is transported from the etching chamber 101 to the exposing treatment chamber 104, and

(deposition temperature, about 400 °C) using tetraisopropoxy titanium ($Ti(iso-OC_3H_7)_4$) and oxygen as source gases.

In general, a high (ferro) dielectric film made of the foregoing metal oxide has crystal defects such as oxygen loss in the film immediately after deposition. For this reason, if it is used as a gate insulating film as it is, the gate withstand voltage may be reduced, or the leakage current may be increased. Thus, when there is such a possibility, a heat treatment for modifying and crystallizing the dielectric film 9 is performed. This heat treatment is performed in the following manner. First, the substrate 1 is transported into the oxidizing treatment chamber 102, and the substrate 1 is heat-treated in a high-temperature atmosphere containing oxygen. Then, the substrate 1 is transported into the nitriding treatment chamber 103, and the substrate 1 is heat-treated in a high-temperature atmosphere containing nitrogen. At this step, in order to minimize the possibility of the formation of an undesirable oxide at the interface between the high dielectric film 9 and the underlying substrate 1 (or silicon oxynitride film 8), it is desirable that the heat treatment in the oxidizing treatment chamber 102 is performed at a temperature reduced as low as possible.

Through the steps up to this, a thin gate insulating film 9a comprised of the high dielectric film 9 is formed on the

implantation method using a photoresist film as a mask.

For deposition of the foregoing non-doped polycrystal silicon film, the film-forming treatment chamber 105 of the treatment apparatus 100 may be used. Alternatively, a stand-alone CVD apparatus may also be used. When deposition is performed in the film-forming treatment chamber 105, the substrate 1 will not be exposed to air between the formation of the gate insulating films 9a and 9b and the deposition of the non-doped polycrystal silicon films. Therefore, it is possible to suppress the defects that undesired natural oxide films are formed on the surfaces of the gate insulating films 9a and 9b, and that foreign matters are deposited thereon.

Incidentally, as a matter of course, the gate electrode material may be comprised of a conductive film other than the foregoing polycrystal silicon films (10n and 10p), such as a silicon film containing Ge (germanium) in an amount of several percent to several tens percent, a laminated film (polycide film) of a polycrystal silicon film and a refractory metal silicide film, or a laminated film (polymetal film) of a polycrystal silicon film and a refractory metal film.

Below, the steps after the deposition of the polycrystal silicon films (10n and 10p) will be described briefly.

First, as shown in FIG. 12, the n-type polycrystal silicon film 10n and the p-type polysilicon film 10p are dry etched by

of the gate electrodes 11n and 11p.

Then, phosphorus or arsenic is ion-implanted into the portions of the p-type well 4 on the opposite sides of the gate electrode 11n. Whereas, boron is ion-implanted into the portions of the n-type well 5 on the opposite sides of the gate electrode 11p. Then, the substrate 1 is heat-treated to diffuse the impurities therein. In consequence, n⁺-type semiconductive regions (source and drain) 16 each having a high impurity concentration are formed in the p-type well 4. Whereas, p⁺-type semiconductive regions (source and drain) 17 each having a high impurity concentration are formed in the n-type well 5.

Then, as shown in FIG. 15, the gate insulating films 9a and 9b formed on top of the n⁺-type semiconductive regions (source and drain) 16 and the p⁺-type semiconductive regions (source and drain) 17, respectively, are removed by etching. Then, a cobalt (Co) film 18a is deposited on the substrate 1 by a sputtering method. Alternatively, a Ti (titanium) film may also be deposited in place of the cobalt film 18a.

Subsequently, by heat-treating the substrate 1, the cobalt film 18a is allowed to react with silicon (the substrate 1, and the gate electrodes 11n and 11p). Then, the unreacted cobalt film 18a is removed by wet etching. As a result, as shown in FIG. 16, cobalt silicide films 18 are formed on the respective surfaces of the n⁺-type semiconductive regions (source and

holes 21 by a CVD method or a sputtering method. Subsequently, the tungsten film is dry etched by using a photoresist film as a mask to form tungsten wires 22 to 28 on the silicon dioxide film 20.

Thereafter, multilayer wiring is formed on top of the tungsten wires 22 to 28 via an interlayer insulating film, but not shown.

Thus, in accordance with this embodiment, it is possible to prevent the mixing of impurities (foreign matters) such as carbon (C) contained in air into the interface between the substrate 1 and the gate insulating films 9a and 9b. Further, it is possible to suppress the formation of an undesirable natural oxide film thereon. In consequence, it is possible to ensure the compatibility between the suppression of the tunnel leakage currents of the MISFETs (Q_{n_1} and Q_{p_1}) constituting the internal circuit and the attainment of the driving ability thereof. Further, by forming the gate insulating film 9b of the MISFETs (Q_{n_2} and Q_{p_2}) constituting the I/O circuit by a laminated film of the silicon oxynitride film 8 and the high dielectric film 9, it is possible to ensure the reliability during high-voltage operation.

(Embodiment 2)

This embodiment demonstrates the case where the present invention is applied to a replacement gate type MISFET. The

of the silicon dioxide film 56 and a part of the underlying silicon nitride film 55 are removed by a chemical mechanical polishing method. In consequence, the top face of the dummy gate 51 is exposed. Subsequently, as shown in FIG. 25, the dummy gate 51 is removed by etching.

Then, the resulting substrate 1 is transported into the etching chamber 101 of the treatment apparatus 100 shown in FIG. 3 above. As shown in FIG. 26, the silicon dioxide film 50 in the region exposed by removal of the dummy gate 51 is etched, so that the surface of the substrate 1 is exposed.

Thereafter, the resulting substrate 1 is transported into the film-forming treatment chamber 105 of the treatment apparatus 100. As shown in FIG. 27, a high dielectric film 57 is deposited on the surface of the substrate 1 exposed by the removal of the silicon dioxide film 50 and on the silicon dioxide film 56. Subsequently, as shown in FIG. 28, a W film 58 is deposited on top of the high dielectric film 57.

Then, the resulting substrate 1 is transported out from the treatment apparatus 100. The W film and the high dielectric film 57 on top of the silicon dioxide film 56 are removed by a chemical mechanical polishing method. In consequence, a gate electrode 59 composed of the W film 58 is formed, and a gate insulating film 60 composed of the high dielectric film 57 is formed on the sidewall and the bottom of the gate electrode 59.

and each gate insulating film of another part of the MISFETs is formed of a laminated film of a silicon dioxide film (or a silicon oxynitride film) and a high dielectric film.

Further, the present invention can also be applied to the case where a clean room wholly filled with an inert atmosphere is employed in place of the treatment apparatus 100 of the foregoing embodiments. In this case, the transport system and the loader / unloader units are filled with an inert atmosphere.

The effects obtainable in accordance with the typical aspects of the present invention disclosed in this application will be briefly described as follows.

In a process in which a part of the gate insulating film is formed of a high dielectric film and another part thereof is formed of a silicon dioxide film, it is possible to suppress the inclusion of undesirable foreign matters into the interface between the semiconductor substrate and the gate insulating film, and the formation of an undesirable natural oxide film thereon. Therefore, it is possible to ensure the compatibility between the suppression of the tunnel leakage current and the attainment of the driving ability of MISFETs.

conductive layer on the second insulating film in the first region and forming a gate electrode of a second MISFET comprised of the first conductive layer on the second insulating film in the second region,

wherein at least the steps (b) to (e) are continuously carried out without exposing the silicon substrate to air.

2. The method for manufacturing a semiconductor integrated circuit device according to claim 1, wherein a means for removing the film including the natural oxide film in the step (b) is dry etching utilizing a plasma.

3. The method for manufacturing a semiconductor integrated circuit device according to claim 1, wherein the first insulating film is an insulating film containing silicon dioxide as a main component.

4. The method for manufacturing a semiconductor integrated circuit device according to claim 1, further comprising a first heat treatment step of heat-treating the silicon substrate in an atmosphere containing nitrogen between the step (c) and the step (d),

wherein at least the steps (b) to (e) are continuously carried out without exposing the silicon substrate to air.

5. The method for manufacturing a semiconductor integrated circuit device according to claim 4, wherein the first insulating film is an insulating film containing silicon

principal surface;

(b) removing a film including a natural oxide film formed on the principal surface of the silicon substrate, and thereby exposing a silicon layer on the principal surface of the silicon substrate;

(c) forming, after the step (b), a first insulating film having a smaller relative dielectric constant than that of a silicon nitride film on the silicon layer;

(d) selectively removing the first insulating film in the third and fourth regions, leaving the first insulating film in the first and second regions, and thereby exposing the silicon layer in the third and fourth regions;

(e) forming, after the step (d), a second insulating film having a larger relative dielectric constant than that of a silicon nitride film on the first insulating film in the first and second regions, and on the silicon layer in the third and fourth regions;

(f) forming a first conductive layer of a first conductive type on the second insulating film in the first and third regions, and forming a second conductive layer of a second conductive type on the second insulating film in the second and fourth regions; and

(g) patterning the first and second conductive layers, and thereby forming a gate electrode of a first MISFET comprised

silicon substrate in an atmosphere containing nitrogen between the step (c) and the step (d), wherein at least the steps (b) to (e) are continuously carried out without exposing the silicon substrate to air.

14. The method for manufacturing a semiconductor integrated circuit device according to claim 13, wherein the first insulating film is an insulating film containing silicon oxynitride as a main component.

15. The method for manufacturing a semiconductor integrated circuit device according to claim 10, wherein the relative dielectric constant of the second insulating film is not less than 8.0.

16. The method for manufacturing a semiconductor integrated circuit device according to claim 10, wherein at least the steps (b) to (e) are continuously carried out in the same apparatus including a multi-chamber system.

17. The method for manufacturing a semiconductor integrated circuit device according to claim 10, wherein at least the steps (b) to (f) are continuously carried out without exposing the silicon substrate to air.

18. The method for manufacturing a semiconductor integrated circuit device according to claim 10, further comprising a second heat treatment step of heat-treating the silicon substrate between the step (e) and the step (f), wherein

conductive layer on the second insulating film in the first region and forming a gate electrode of a second MISFET comprised of the first conductive layer on the second insulating film in the second region,

wherein the silicon substrate is held in an inert atmosphere at least between the completion of the step (d) and the initiation of the step (e).

20. A method for manufacturing a semiconductor integrated circuit device, comprising the steps of:

(a) preparing a silicon substrate having a first insulating film comprised of a silicon dioxide film formed on a principal surface;

(b) removing the first insulating film on the silicon substrate surface;

(c) cleaning the silicon substrate surface;

(d) forming a second insulating film having a larger relative dielectric constant than that of the silicon nitride film on the silicon substrate;

(e) forming a first conductive layer on the second insulating film; and

(f) patterning the first conductive layer, and thereby forming a gate electrode of a first MISFET comprised of the first conductive layer,

wherein the silicon substrate is held in an inert

ABSTRACT OF THE DISCLOSURE

In a process of forming MISFETs mutually different in thickness of the gate insulating film on the same substrate, the formation of an undesirable natural oxide film at the interface between the semiconductor substrate and the gate insulating film is suppressed. A gate insulating film of MISFETs (Q_{n_1} and Q_{p_1}) constituting an internal circuit is comprised of a silicon oxynitride film. Another gate insulating film of MISFETs (Q_{n_2} and Q_{p_2}) constituting an I/O circuit is comprised of a laminated film of a silicon oxynitride film and a high dielectric film. A process of forming the two types of gate insulating films on the substrate is continuously carried out in a treatment apparatus of a multi-chamber system. Accordingly, the substrate will not be exposed to air. Therefore, it is possible to suppress the inclusion of undesirable foreign matters and the formation of a natural oxide film at the interface between the substrate and the gate insulating films.

FIG. 3

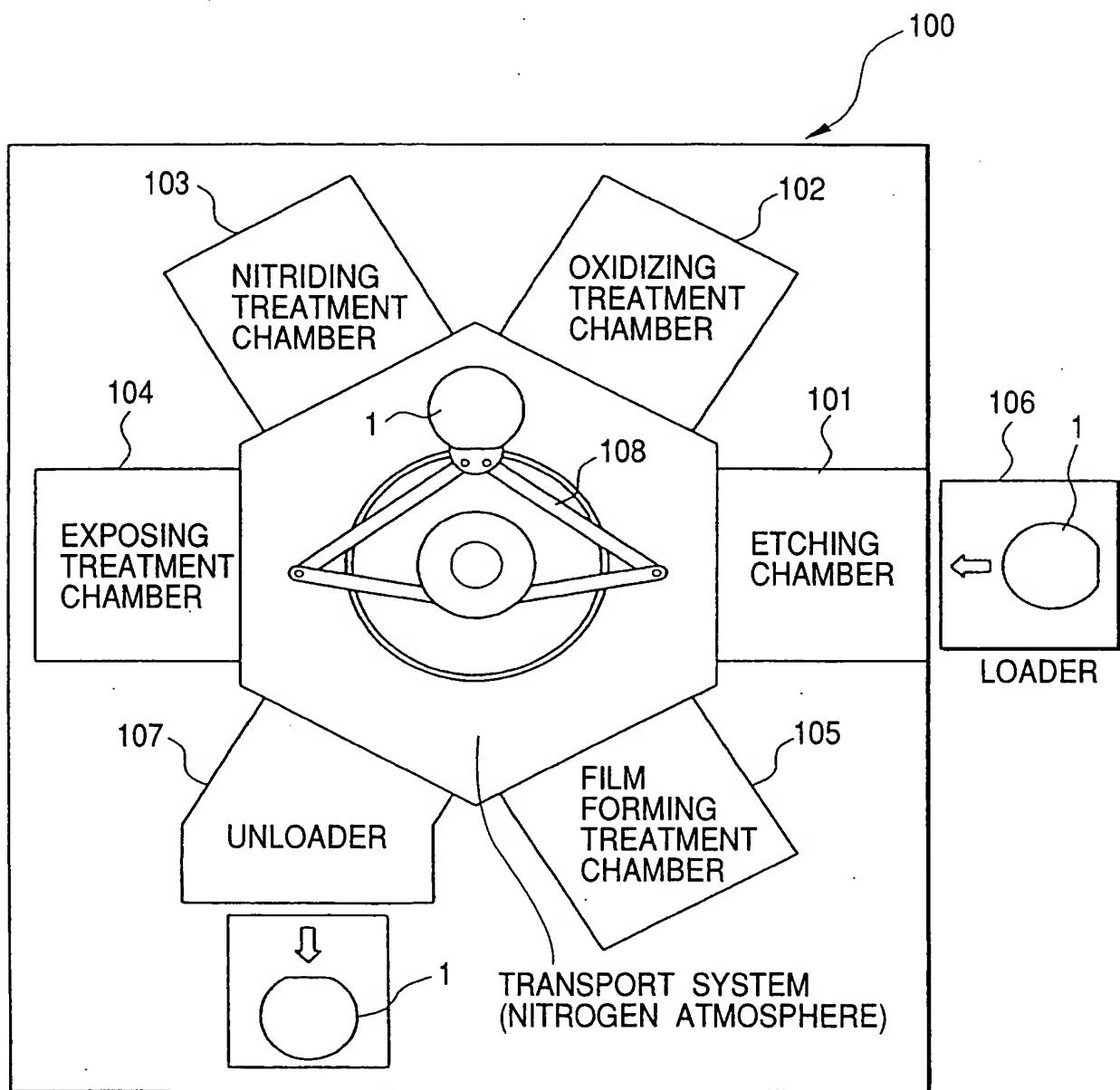


FIG. 5

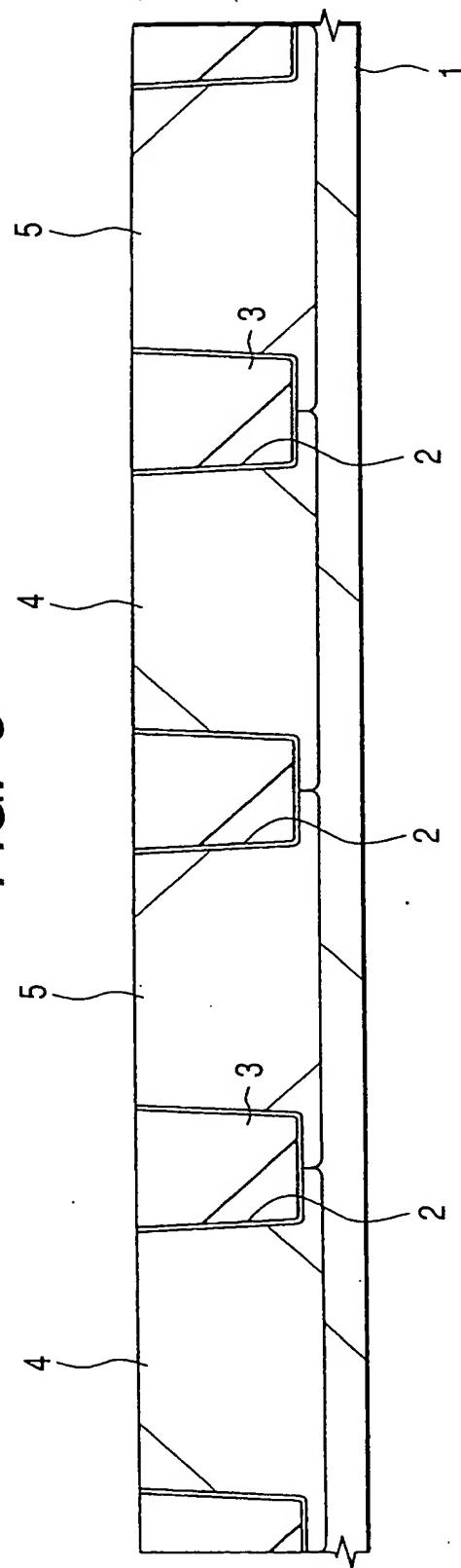


FIG. 6

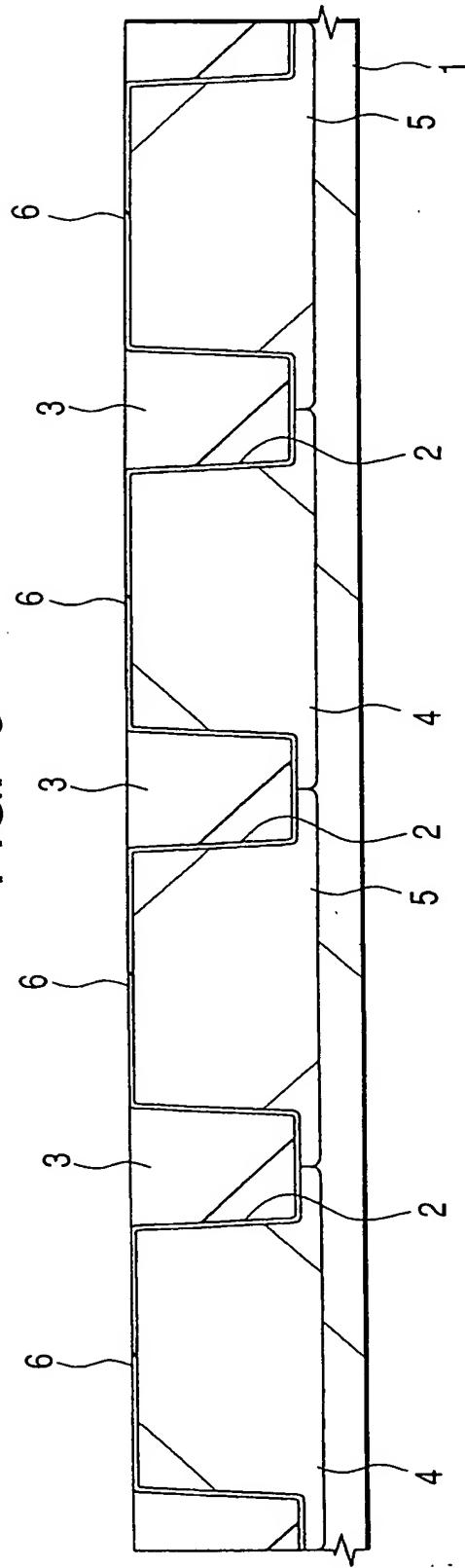


FIG. 9

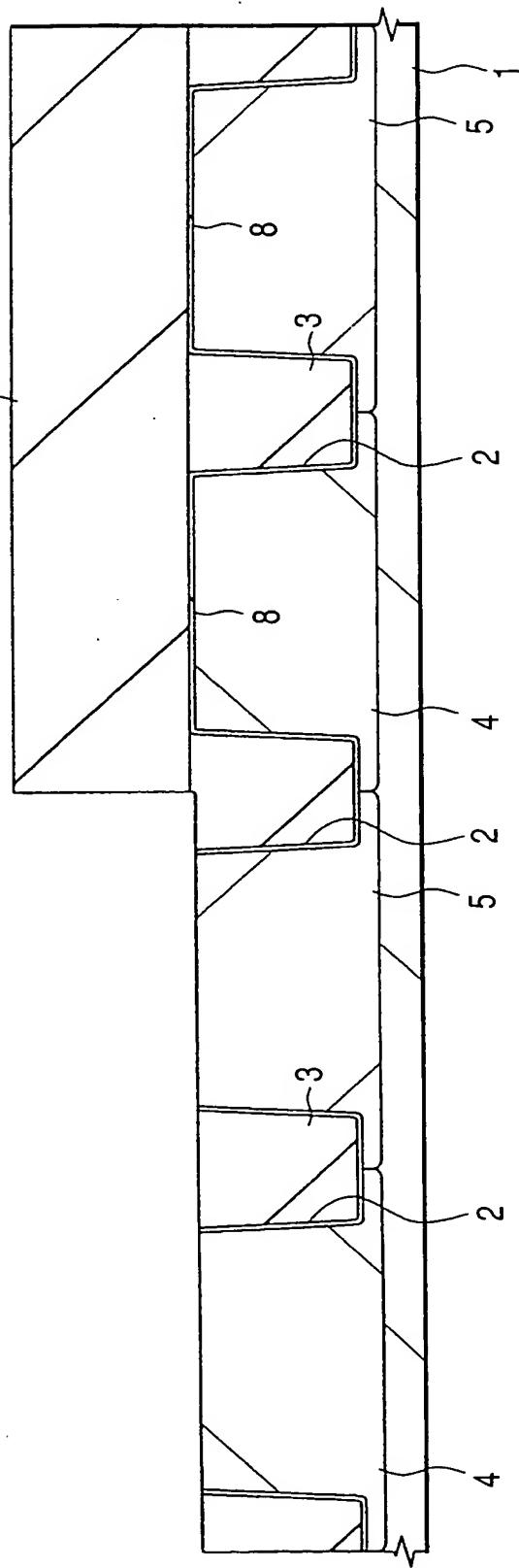


FIG. 10

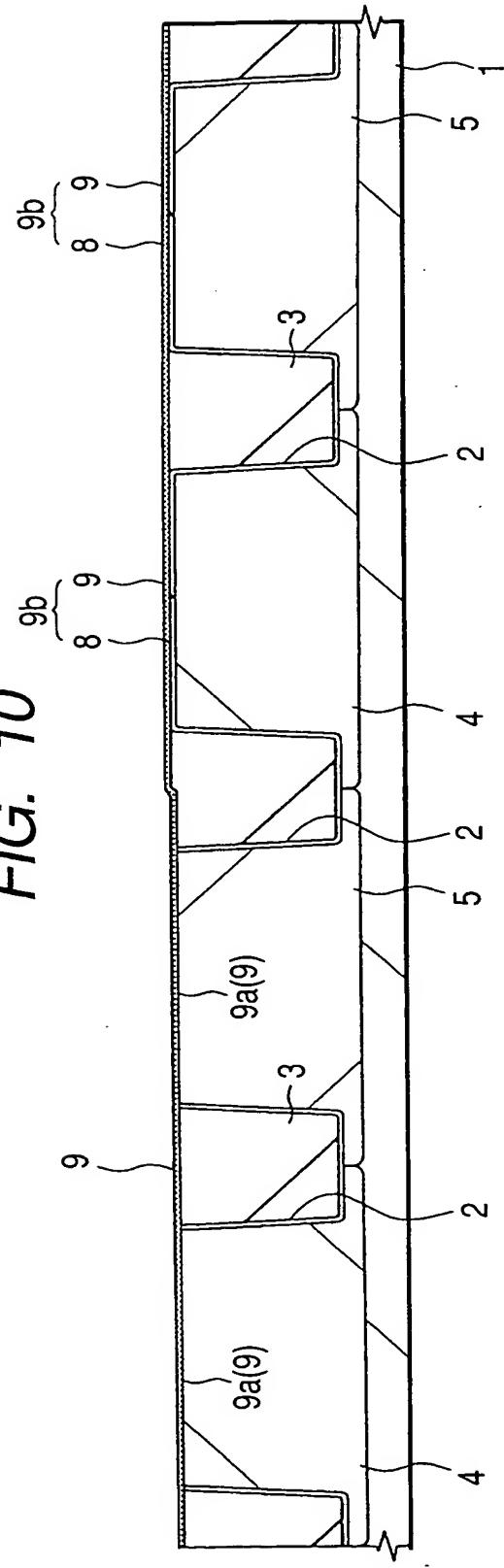


FIG. 13

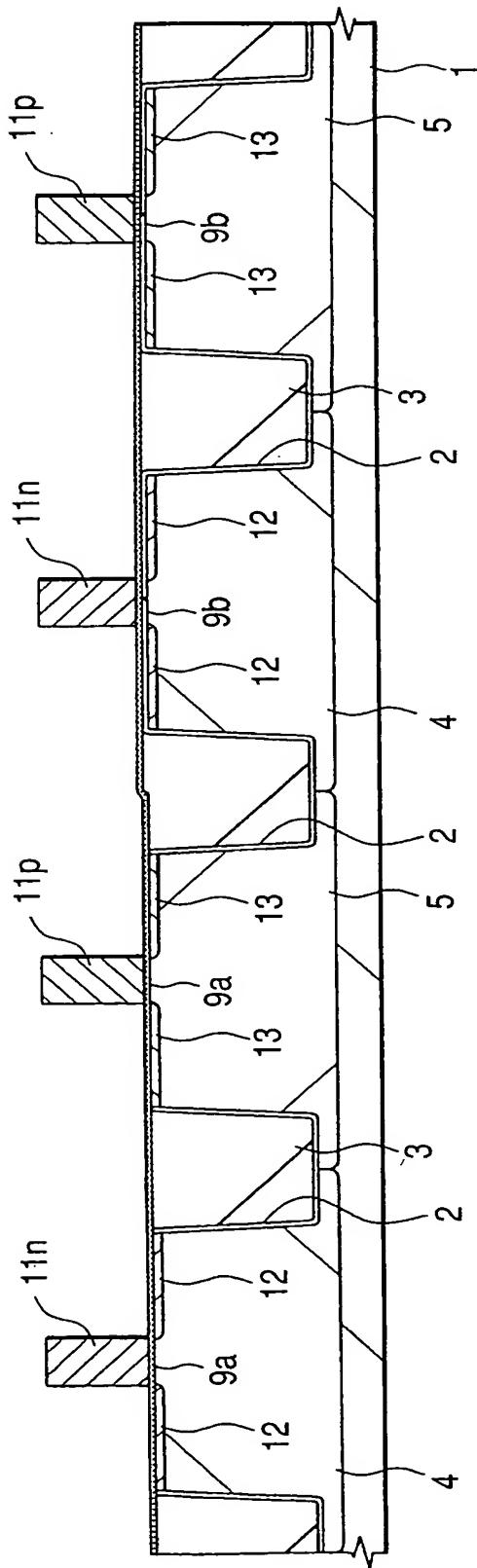


FIG. 14

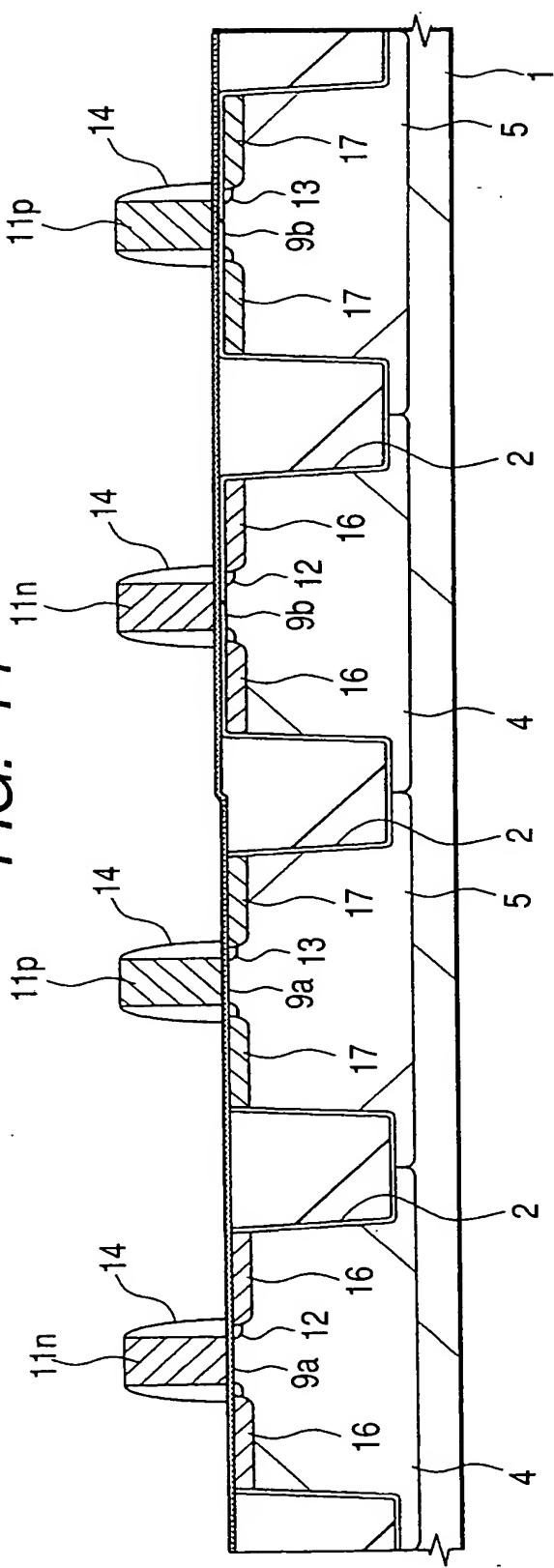


FIG. 17

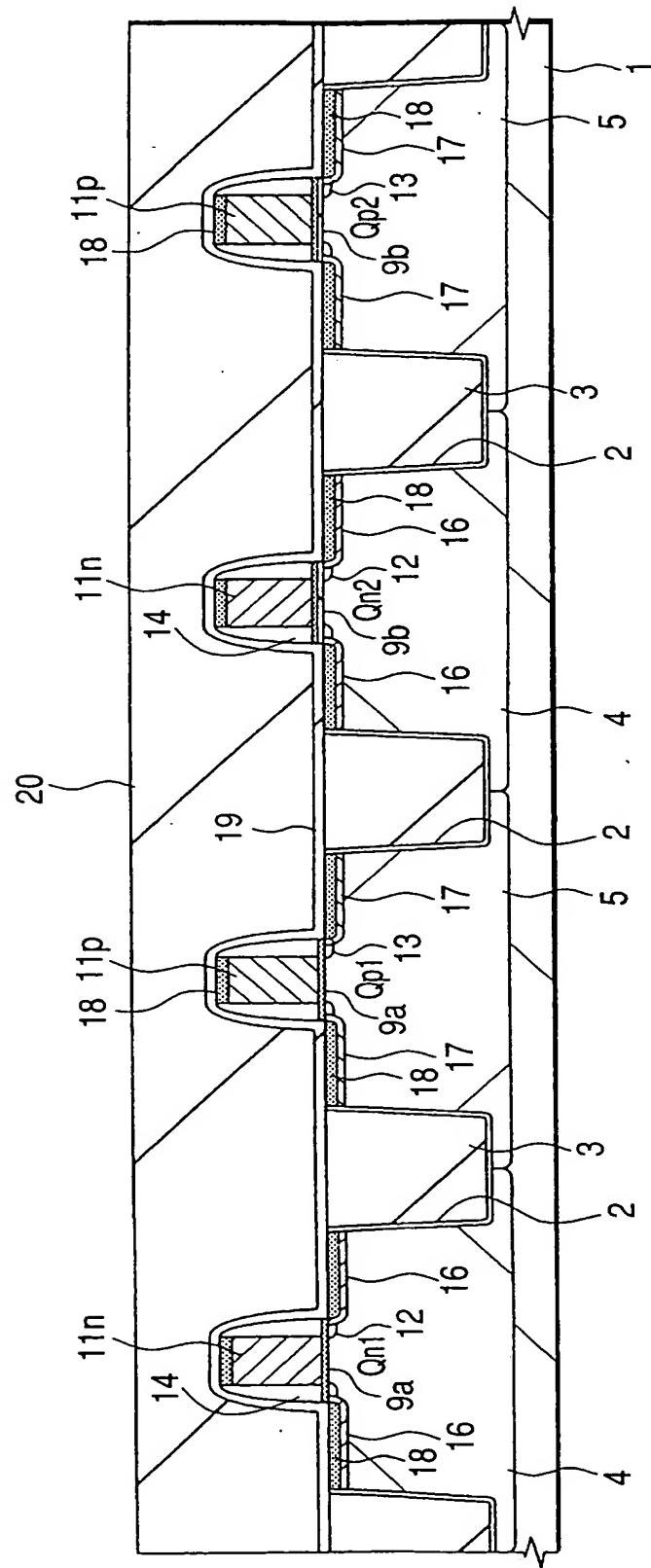


FIG. 19

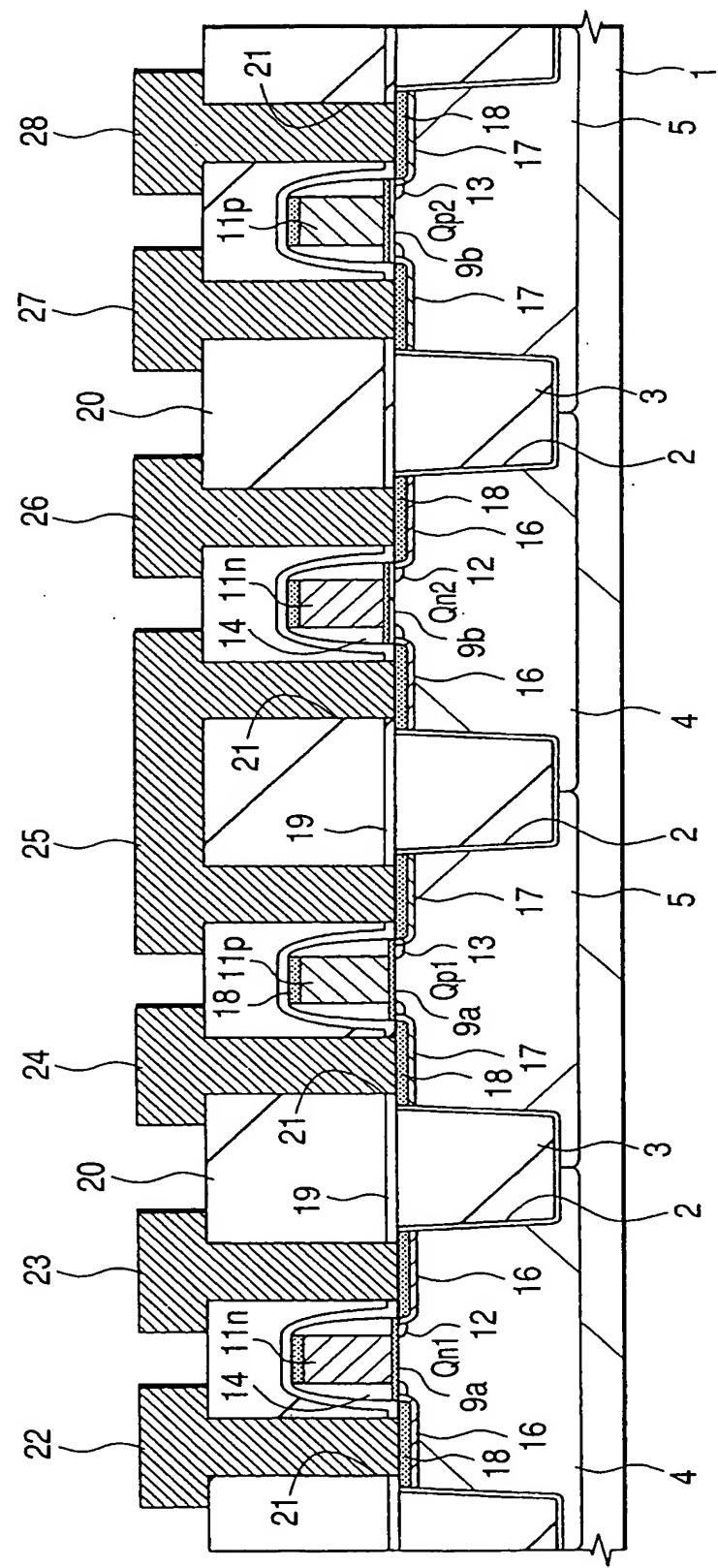


FIG. 22

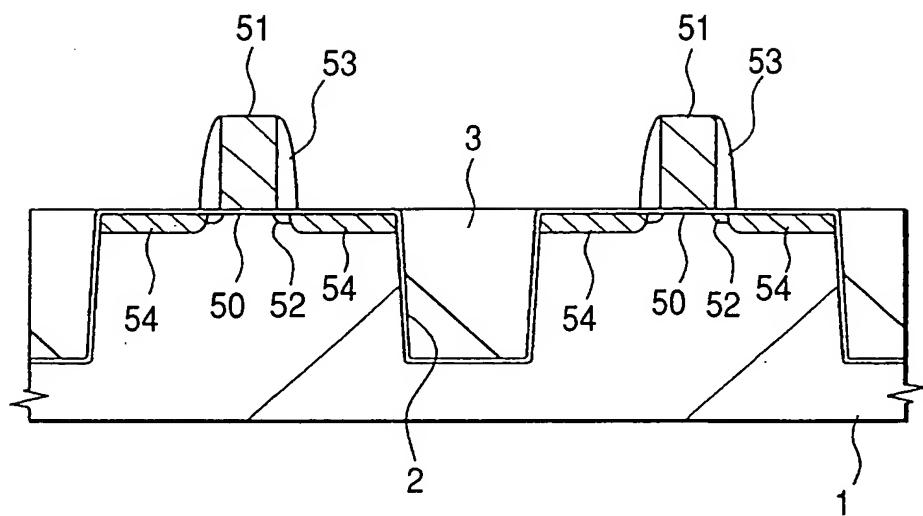


FIG. 23

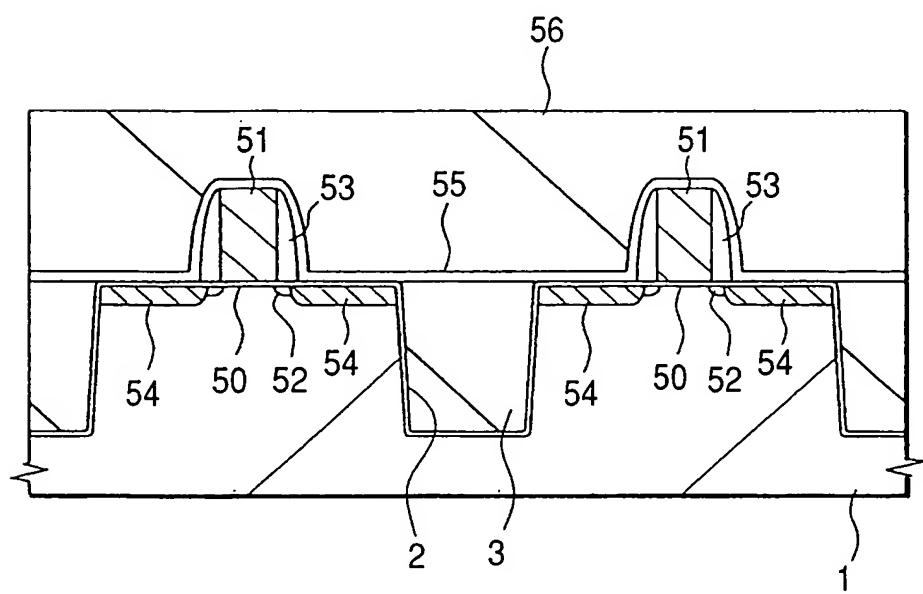


FIG. 26

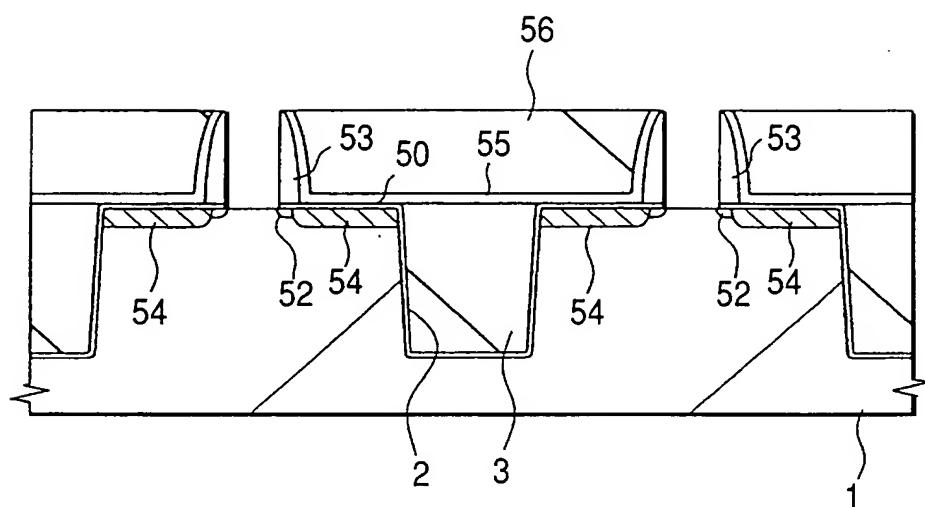


FIG. 27

